



Fakülte/MYO	Mühendislik	Sınav	Final	Numara	
Bölüm/Program	Elektrik-Elektronik Müh.	Tarih	19/01/2016	Ad-Soyad	
Ders	Mantık Devreleri	Süre	90 dk.	İmza	

SORULAR/CEVAPLAR

SORU 1

a) 3 bitlik (ABC) sayısının 4'e göre modunu alan devreyi (MOD-4 devresi), mantık kapılarıyla gerçekleyiniz. (doğruluk tablosu + Karnaugh haritalarıyla sadeleştirme + devre). [4 + 4 + 2 puan]

b) İki bitlik (AB) sayıya bir ekleyen (+1) devreyi mümkün olan en küçük tipteki kod çözücü ve en az sayıda kapı kullanarak tasarlayınız. (doğruluk tablosu + devre). [4 + 6 puan]

c) 3 bitlik (ABC) sayıdan ilk (MSB) ve son (LSB) biti eşit olanları seçen devreyi MUX ile tasarlayınız. (MUX tablosu + devre). [8 + 2 puan]

Not: MUX'un seçme girişlerine, girişteki sayının MSB'sini bağlamayınız.

d) 4 bitlik (ABCD) sayısı için çift eşlik (parity) biti üreten devreyi sadece birer adet 74LS83 (4 bitlik paralel toplayıcı) ve iki girişli ÖZEL-VEYA (EXOR) kapısı kullanarak tasarlayınız. [10 puan]

CEVAP 1

a)

A	B	C	x	y
0	0	0	0	0
0	0	1	0	1
0	1	0	1	0
0	1	1	1	1
1	0	0	0	0
1	0	1	0	1
1	1	0	1	0
1	1	1	1	1

$x = B$, $y = C$

b)

A	B	x	y	z
0	0	0	0	1
0	1	0	1	0
1	0	0	1	1
1	1	1	0	0

c)

A'	l ₀	l ₁	l ₂	l ₃
1	0	1	0	1
0	1	0	1	0
1	0	1	0	1
0	1	0	1	0

d)

SORU 2

"ABCD" olarak 4 bitle ifade edilen ve 3'ün katı olan pozitif tamsayıları geriye/aşağıya doğru tekrarlayan/sayan senkron devreyi T FF'lar ile tasarlayınız.

Tasarım aşamaları:


- ✓ Durum tablosu [4 x 2 puan]
- ✓ Karnaugh haritalarıyla sadeleştirerek FF giriş fonksiyonları [4 x 2 puan]
- ✓ Devre çizimi [4 puan]

Not: Sıfır(0) değerini 3'ün katı olarak kabul etmeyiniz.

CEVAP 2

Sayma sırası				T _A	T _B	T _C	T _D
A	B	C	D	0	0	1	1
1	1	1	1	0	1	0	1
1	1	0	0	1	1	1	1
1	0	0	1	0	1	0	1
0	1	1	0	1	1	0	1
0	0	1	1	1	1	0	0
1	1	1	1				

$T_A = B'$, $T_B = A' + C'$, $T_C = AD$, $T_D = A + B$

	Fakülte/MYO	Mühendislik	Sınav	Final	Numara	
	Bölüm/Program	Elektrik-Elektronik Müh.	Tarih	19/01/2016	Ad-Soyad	
	Ders	Mantık Devreleri	Süre	90 dk.	İmza	

--	--

SORU 3 "0-1-2-3-6-7" sayma dizisini tekrarlayan asen kron sayıcı devresini JK FF'lar ile tasarlayınız.

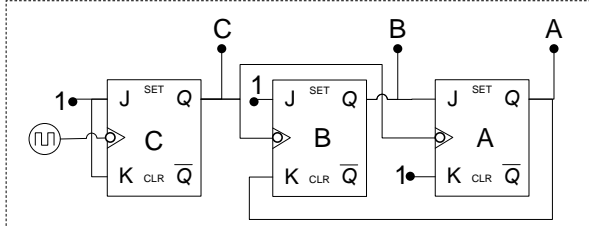
Tasarım aşamaları:

- ✓ Durum tablosu [6 x 2 puan]
- ✓ Karnaugh haritalarıyla sadeleştirerek FF giriş fonksiyonları [6 x 1 puan]
- ✓ Devre çizimi [2 puan]

CEVAP 3

Sayma sırası			J_A	K_A	J_B	K_B	J_C	K_C
A	B	C						
0	0	0	x	x	x	x	1	x
0	0	1	0	x	1	x	x	1
0	1	0	x	x	x	x	1	x
0	1	1	1	x	x	0	x	1
1	1	0	x	x	x	x	1	x
1	1	1	x	1	x	1	x	1
0	0	0						

$J_A = B, K_A = 1$
 $J_B = 1, K_B = A$
 $J_C = 1, K_C = 1$



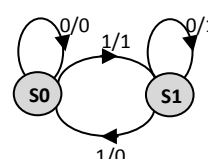
SORU 4 Seri bit akışı için "tek eşlik/parity biti denetleyici" devresini Mealy modeline göre D FF'lar kullanarak tasarlayınız.

Tasarım aşamaları:

- ✓ Mealy makinesinin durum diyagramı [8 puan]
- ✓ Durum tablosu [4 puan]
- ✓ Karnaugh haritalarıyla sadeleştirerek FF giriş ve devre çıkış fonksiyonları [4 puan]
- ✓ Devre çizimi [4 puan]

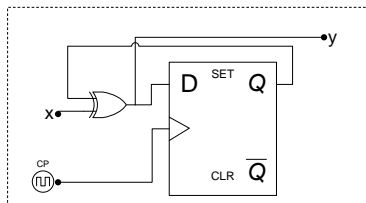
Not: Tek eşlik biti denetleyicisi, tek giriş ve tek çıkışa sahip bir devre olup seri giriş akımındaki bitlerin sayısı tek olduğunda, 1 çıkışı üretmektedir.

CEVAP 4



Mevcut durum	Giriş	Sonraki durum	D_A	Çıkış
A	x	A		y
0	0	0	0	0
0	1	1	1	1
1	0	1	1	1
1	1	0	0	0

$D_A = x \oplus A$
 $y = x \oplus A$



Başarılar dilerim...
Doç. Dr. Fahri Vatansever